

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-245305  
(43)Date of publication of application : 19.09.1995

(51)Int. Cl.

H01L 21/3205  
H01L 21/768

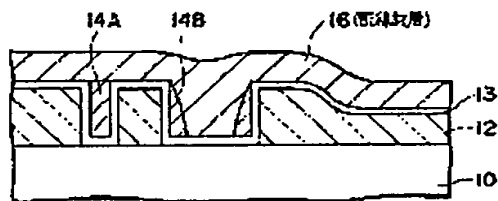
(21)Application number : 06-060221 (71)Applicant : YAMAHA CORP  
(22)Date of filing : 04.03.1994 (72)Inventor : KUWAJIMA TETSUYA

(54) FORMATION OF WIRING

(57)Abstract:

PURPOSE: To improve the yield of a wiring forming method which includes a process for filling up connecting holes by nonselectively depositing W (tungsten), etc.

CONSTITUTION: A first connecting hole having such a small size (a) that the hole can be filled up with a deposited film having a desired thickness and second connecting hole having such a large size (b) that a desired wiring material coverage can be attained are formed in an insulating film 12 coating the surface of a substrate 10 and no connecting hole having a size (c) ( $a < c < b$ ) is formed. After depositing W on the upper surface of the substrate 10 with a conductive material layer 13 in between, a W film 14A is left in the first connecting hole so that the film 14A can fill up the hole by etching back the deposited W. When the W is etched back, another W film 14B is left in the second connecting hole and the layer 13 is left in a requiring state. Then a wiring layer is formed by patterning the layer 13 and a wiring material layer 16 composed of an Al alloy, etc., after forming the layer 16 on the upper surface of the substrate 10. Since the hole having the size (c) is not formed, wiring which is buried and coated in excellent states is obtained.



LEGAL STATUS

[Date of request for examination] 08.01.1996

[Date of sending the examiner's decision of rejection] 21.07.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted]

registration]

[Date of final disposal for application]

[Patent number] 2947054

[Date of registration] 02. 07. 1999

[Number of appeal against examiner's  
decision of rejection] 10-13203

[Date of requesting appeal against  
examiner's decision of rejection] 20. 08. 1998

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245305

(43) 公開日 平成7年(1995)9月19日

(51) Int.Cl.<sup>4</sup> 識別記号 庁内整理番号 F I 技術表示箇所  
H 0 1 L 21/3205  
21/768

H 0 1 L 21/ 88 B  
21/ 90 D

審査請求 未請求 請求項の数 2 F D (全 7 頁)

(21) 出願番号 特願平6-60221

(22) 出願日 平成6年(1994)3月4日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 桑島 哲哉

静岡県浜松市中沢町10番1号ヤマハ株式会社  
社内

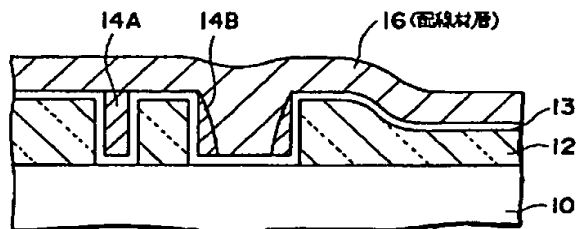
(74) 代理人 弁理士 伊沢 敏昭

(54) 【発明の名称】 配線形成法

(57) 【要約】

【目的】 W (タングステン) 等を非選択的に堆積して接続孔を埋める工程を含む配線形成法において、歩留りを向上させる。

【構成】 基板10の表面を覆う絶縁膜12に所望の堆積膜厚で埋め尽せる小サイズaの第1の接続孔と所望の配線材カバレッジ率を達成可能な大サイズbの第2の接続孔とを形成し、サイズc ( $a < c < b$ ) の接続孔は形成しない。基板上面に導電材層13を介してWを堆積した後、堆積膜をエッチバックして第1の接続孔を埋める形でW膜14Aを残す。このとき、第2の接続孔内にW膜14Bが残り、層13は所望により残す。基板上面にAl合金等の配線材層16を形成した後、層13、16をパターニングすることにより配線層を形成する。サイズcの接続孔を形成しないので、埋込み状態及び被覆状態が良好な配線が得られる。



## 【特許請求の範囲】

【請求項1】 基板の表面に第1及び第2の被接続部を覆って形成された絶縁膜に該第1及び第2の被接続部にそれぞれ対応して第1及び第2の接続孔を形成する第1の工程と、

所望の高融点金属を前記第1及び第2の接続孔を覆い且つ所望により他の導電材層を介して非選択的に堆積して金属堆積膜を形成する第2の工程と、

前記金属堆積膜をエッチバックして前記第1の接続孔を埋める形で前記金属堆積膜の一部を残存させると共に前記第2の接続孔内にも前記金属堆積膜の他の一部を残存させる第3の工程であって、前記他の導電材層を形成した場合には、所望により前記他の導電材層も前記金属堆積膜と共にエッチバックして前記金属堆積膜の残存部に対応して前記他の導電材層を部分的に残存させるものと、

所望の配線材を前記金属堆積膜の残存部及び前記第2の接続孔を覆い且つ所望により他の配線材膜を介して被着して配線材層を形成する第4の工程と、

前記配線材層を所望の配線パターンに従ってパターニングして前記第1及び第2の被接続部につながる1又は複数の配線層を形成する第5の工程であって、前記他の導電材層をエッチバックしない場合には、前記他の導電材層も前記配線材層と共にパターニングし、前記他の配線材膜を形成した場合には、前記他の配線材膜も前記配線材層と共にパターニングするものを含み、

前記第1の工程では、前記第2の工程にて前記高融点金属を所望の膜厚で堆積することで埋め尽せる小サイズaを有するように前記第1の接続孔を形成すると共に、前記第4の工程にて前記配線材層で所望のカパレージ率を達成可能な大サイズbを有するように前記第2の接続孔を形成し、サイズc ( $a < c < b$ ) の接続孔を形成しないことを特徴とする配線形成法。

【請求項2】 前記基板上で前記絶縁膜の段差部に関して最小の曲率半径を求め、該曲率半径以下になるように前記膜厚を定めることを特徴とする請求項1記載の配線形成法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、W（タングステン）、Mo（モリブデン）等の高融点金属を非選択的に堆積して接続孔を埋める工程を含む配線形成法に関し、特に形成すべき接続孔の大きさと形成すべきでない接続孔の大きさとを定めたことにより形成する接続孔毎に良好な配線が得られるようにしたものである。

## 【0002】

【従来の技術】 従来、微細な接続孔から導出される配線を形成する方法としては、図10～14に示すものが提案されている。

【0003】 まず、図10の工程では、基板10の表面

に第1及び第2の被接続部を覆って形成された絶縁膜12に該第1及び第2の被接続部にそれぞれ対応して第1及び第2の接続孔12a及び12bを周知のホトリソグラフィ及び選択エッチング処理により形成する。

【0004】 次に、図11の工程では、絶縁膜12の上に接続孔12a、12bを覆って例えばT1層13A及びT1N層13Bからなる導電材層13を形成した後、その上にブランケットCVD（ケミカル・ベーパー・デポジション）法によりWを非選択的に堆積してW膜14を形成する。T1N層13Bは、絶縁膜12を構成するSiO<sub>2</sub>上にWが成長できないので、Wの密着を可能にするために設けられるものであり、T1層13Aは、T1Nと基板S1との接触抵抗を低減するために設けられるものである。

【0005】 次に、図12の工程では、W膜14を接続孔12a、12bの周辺部で導電材層13が露呈されるまでエッチバックすることにより接続孔12aを埋める形でW膜14の一部14Aを残存させる。このとき、接続孔12b内にもW膜14の一部14Bが残存する。また、導電材層13も残存する。

【0006】 次に、図13の工程では、導電材層13の上にW膜14の残存部14A、14Bを覆ってスパッタ法によりAl合金等の配線材を被着して配線材層16を形成する。

【0007】 この後、図14の工程では、導電材層13及び配線材層16を所望の配線パターンに従ってパターニングすることにより配線層18A、18Bを形成する。

【0008】 配線層18Aは、配線材層16の残存部16Aと導電材層13の残存部13aの孔外部分との積層からなり、W膜14の残存部14Aと導電材層13の残存部13aの孔内部分とを介して基板10の第1の被接続部に接続される。また、配線層18Bは、配線材層16の残存部16Bと導電材層13の残存部13bの孔外部分の積層からなり、W膜14の残存部14Bと導電材層13の残存部13bの孔内部分とを介して基板10の第2の被接続部に接続される。

## 【0009】

【発明が解決しようとする課題】 上記した従来技術によると、12bのような比較的大きい接続孔において、埋込み不良が発生する不都合がある。すなわち、図11の工程において、W膜14の膜厚をTとし、接続孔の側壁にもTとほぼ同じ膜厚でW膜が堆積されるものとすれば、W堆積直前に直径が2T以下である12aのような小さい接続孔はW膜14で埋め尽せるが、W堆積直前に直径が2Tより大きい12bのような接続孔はW膜14では埋め尽せず、接続孔12b内に凹部が生ずる。

【0010】 このような凹部の発生を防ぐには、W膜14の膜厚Tを接続孔12bが埋め尽される程度に大きくすればよい。しかし、このようにすると、絶縁膜12に

において、膜厚 $T$ より曲率半径が小さい段差部には図12に示すようにエッチバックの際に $W$ 膜14の一部14Cが残存する。14Cは、エッチング残りとも呼ばれる。

【0011】このようなエッチング残り14Cは、図13の配線材被着工程において、導電材層13と配線材層16との積層の厚さを段差部にて局部的に増大させる。このため、図14のパターニング工程では、導電材層13の一部が段差部にてエッチングされずに残ることがある。このようなエッチング残りは、配線層18Bとその近傍の他の配線層とを電氣的に接続した状態で残ることがあり、短絡不良を招く不都合がある。

【0012】エッチング残り14Cをなくすには、エッチバック時のエッチング量を十分に大きくし、場合によっては導電材層13もエッチバックすることが考えられる。しかし、このようにすると、 $W$ 膜14の残存部14Aに凹部が発生したり、接続孔12b内で導電材層13に孔があいたりすることがある。特に、接続孔12b内で導電材層13に孔があった場合には、配線材層16の残存部16Bが基板10の表面に直接的に接触するようになり、基板10がシリコンからなる場合には、熱処理により基板10中にアロイスバイクが発生したり、配線材層16の残存部16B中に過剰シリコン塊が析出した

りするため信頼性が低下する不都合がある。

【0013】この発明の目的は、高信頼な配線を歩留りよく形成することができる新規な配線形成法を提供することにある。

【0014】

【課題を解決するための手段】この発明に係る配線形成法は、基板の表面に第1及び第2の被接続部を覆って形成された絶縁膜に該第1及び第2の被接続部にそれぞれ対応して第1及び第2の接続孔を形成する第1の工程と、所望の高融点金属を前記第1及び第2の接続孔を覆い且つ所望により他の導電材層を介して非選択的に堆積して金属堆積膜を形成する第2の工程と、前記金属堆積膜をエッチバックして前記第1の接続孔を埋める形で前記金属堆積膜の一部を残存させると共に前記第2の接続孔内にも前記金属堆積膜の他の一部を残存させる第3の工程であって、前記他の導電材層を形成した場合には、所望により前記他の導電材層も前記金属堆積膜と共にエッチバックして前記金属堆積膜の残存部に対応して前記他の導電材層を部分的に残存させるものと、所望の配線材を前記金属堆積膜の残存部及び前記第2の接続孔を覆い且つ所望により他の配線材膜を介して被着して配線材層を形成する第4の工程と、前記配線材層を所望の配線パターンに従ってパターニングして前記第1及び第2の被接続部につながる1又は複数の配線層を形成する第5の工程であって、前記他の導電材層をエッチバックしない場合には、前記他の導電材層も前記配線材層と共にパターニングし、前記他の配線材膜も前記配線材層と共にパターニングす

るものとを含み、前記第1の工程では、前記第2の工程にて前記高融点金属を所望の膜厚で堆積することで埋め尽せる小サイズ $a$ を有するように前記第1の接続孔を形成すると共に、前記第4の工程にて前記配線材層で所望のカパレージ率を達成可能な大サイズ $b$ を有するように前記第2の接続孔を形成し、サイズ $c$  ( $a < c < b$ )の接続孔を形成しないことを特徴とするものである。

【0015】

【作用】この発明の配線形成法によると、小サイズ $a$ の第1の接続孔と大サイズ $b$ の第2の接続孔とに所望により $TiN/Ti$ 等の導電材層を介して $W$ 等の高融点金属の堆積処理が施される。この場合、第1の接続孔は、堆積膜で埋め尽せるが、第2の接続孔は、堆積膜では埋め尽せない。しかし、第2の接続孔には、所望のカパレージ率になるように $Al$ 又は $Al$ 合金等の配線材が所望により $TiN$ 等の配線材膜を介して被着され、良好な配線層が形成される。

【0016】サイズ $c$ の接続孔は、所望の堆積膜厚で埋め尽すことができず、所望のカパレージ率も得られないものである。このような接続孔を形成しないので、埋込み不良が発生せず、カパレージ率の低下も防止できる。

【0017】

【実施例】図1～5は、この発明の一実施例に係る配線形成法を示すもので、各々の図に対応する工程(1)～(5)を順次に説明する。

【0018】(1)例えばシリコンからなる半導体基板10の表面に第1及び第2の被接続部を覆って形成されたシリコンオキサイド等の絶縁膜12に周知のホトリソグラフィ及び選択エッチング処理により該第1及び第2の被接続部にそれぞれ対応して第1及び第2の接続孔12a及び12bを形成する。

【0019】接続孔12aは、図2の工程にて $W$ 堆積により埋め尽せる程度の小さなサイズ $a$ とし、接続孔12bは、図4の工程にて $Al$ 又は $Al$ 合金等の配線材を被着したときに所望のカパレージ率を達成可能な程度に大きなサイズとする。この場合、サイズ $c$  ( $a < c < b$ )の接続孔は、集積回路等の構成上必要であっても、サイズ $c$ では形成せず、サイズ $b$ として形成する。

【0020】(2)絶縁膜12の上に接続孔12a、12bを覆って例えば $Ti$ 層13A及び $TiN$ 層13Bからなる導電材層13を形成した後、導電材層13の上にプラズマCVD法により $W$ を非選択的に堆積して $W$ 膜14を形成する。

【0021】(3) $W$ 膜14を接続孔12a、12bの周辺部で導電材膜13が露呈されるまでエッチバックして接続孔12aを埋める形で $W$ 膜14の一部14Aを残存させる。このとき、接続孔12bの側壁にも $W$ 膜14の一部14Bが残存する。また、導電材層13も残存する。

【0022】(4)導電材層13の上に残存部14A、

14B及び接続孔12bを覆ってスパッタ法によりA1又はA1合金等の配線材層16を被着する。

【0023】(5) 導電材層13及び配線材層16の積層を所望の配線パターンに従ってパターニングすることにより配線層18A、18Bを形成する。配線層18Aは、配線材層16の残存部16Aと導電材層13の残存部13aの孔外部分との積層からなり、W膜14の残存部14Aと導電材層13の残存部13aの孔内部分とを介して基板10の第1の被接続部に接続される。また、配線層18Bは、配線材層16の残存部16Bと導電材層13の残存部13bの孔外部分との積層からなり、W膜14の残存部14bと導電材層13の残存部13bの孔内部分とを介して基板10の第2の被接続部に接続される。なお、配線層18A、18Bは、連続した1つのものであってもよい。

【0024】図6は、小さい接続孔12aでのW膜14の堆積状況を示すものである。絶縁膜12の段差部Sの曲率半径よりW膜14の膜厚Rを大きくすると、段差部Sでは膜厚がRより大きいR'となり、エッチバックの際にエッチング残りが生ずる。そこで、基板(半導体チップ)10上で絶縁膜12のすべての段差部に関して最小の曲率半径を求め、該曲率半径以下になるように膜厚Rを設定すると、基板上でのエッチング残りをなくすることができる。

【0025】ところで、接続孔12aでのサイドカバレージ率をC(0<C<1)とし、接続孔12a内でのW膜14の膜厚をR<sub>1</sub>とすると、C=R<sub>1</sub>/Rとなる。そして、接続孔12aの側壁には中心線A-A'の両側で2CRの厚さのW膜14が成長するから、2CRより直径が大きい孔は堆積膜で埋め尽すことができない。すなわち、図2の工程にて所望の堆積膜厚Rで埋め尽せる接続孔の直径をrとすると、rは次の数1の式で表わされる。

【0026】

【数1】  $r \leq 2CR$

図7は、大きい接続孔12bでの配線形成状況を示すものである。大きな接続孔では、全部を埋め尽すのではなく、上層にくるA1合金等の配線材層が十分に被覆しうる形状を残せばよい。従って、堆積及びエッチバック後の接続孔のアスペクトレシオ(縦横比)をスパッタにとって十分小さく設定する。すなわち、所望の配線材カバレージ率(R<sub>1</sub>/R<sub>2</sub>)を得るためのアスペクトレシオをkとすると、kは次の数2の式で表わされる。

【0027】

【数2】

$$k \geq \frac{d}{r - 2CR}$$

ここで、dは、絶縁膜12及び導電材層13の積層の厚さであり、r-2CRは、エッチバック後の接続孔12bの開口径である。そして、数2の式を変形すると、次

の数3の式が得られる。

【0028】

【数3】

$$r \geq 2CR + \frac{d}{k}$$

数3の式で表わされる直径rを有する接続孔では、良好なカバレージ率を得ることができる。

【0029】一方、数1及び数3の式を満足しない直径rは、次の数4の式で表わされる。

【0030】

【数4】

$$2CR < r < 2CR + \frac{d}{k}$$

すなわち、数4の式で表わされる直径rを有する接続孔を形成禁止とすればよい。数4の式に関して、kは、通常0.5程度であり、dは、半導体の世代によっても異なるが、0.5[μm]ルールでは約1.0[μm]程度であり、Cは、通常0.9以上を目標とすることが多い。

【0031】数4の式に関して実際の値を求めるには、次のようにする。まず、絶縁膜12の平坦化の度合いを曲率半径で評価する。例えば、チップ内で最も凹凸が激しい個所の断面写真等から最小の曲率半径を求め、該曲率半径に基づいて堆積膜厚Rを決定する。曲率半径を直接的に求めることができないときは、堆積膜をエッチバックして残渣を観察して決定してもよい。また、絶縁膜12の厚さを測定する。さらに、サイドカバレージ率Cは、実験で求められる。

【0032】一例として、C=0.95、R=0.7、d=1.0、k=0.5とすると、1.33>r<3.33が禁止範囲となる。C、d、Rはデバイスの作り方に依存するが、k=0.5は普遍的な値と見て良く、数4の式にk=0.5を代入すると、次の数5の式が得られる。

【0033】

【数5】  $2CR < r < 2CR + 2d$

この数5の式で表わされる直径rを有する接続孔の形成を禁止すると、接続孔12aについてはW堆積による埋込みにより良好な配線が得られると共に、接続孔12bについては通常A1合金等のスパッタリングにより良好な配線が得られ、配線形成歩留りが向上する。

【0034】図8、9は、この発明の他の実施例を示すもので、図1~4と同様の部分には同様の符号を付して詳細な説明を省略する。

【0035】図8の工程は、図2の工程に続くエッチバック工程であり、この工程では、W膜14及び導電材層13を接続孔12a、12bの周辺部が露呈するまでエッチバックする。この結果、W膜14の一部14A及び導電材層13の一部13aが接続孔12aを埋める形で残存し、接続孔12bの側壁には、W膜14の他の一部

7

14B及び導電材膜13の他の一部13bが残存する。

【0036】次に、図9の工程では、所望によりT1N等の配線材膜を介してA1又はA1合金等の配線材をスパッタ法により基板上面に被着した後、被着層を所望の配線パターンに従ってパターニングして1又は複数の配線層18A、18Bを形成する。

【0037】配線層18Aは、配線材膜の残存部15a及び配線材層16の残存部16Aの積層からなり、W膜14の残存部14A及び導電材層13aの残存部を介して基板10の第1の被接続部に接続される。配線層18Bは、配線材膜の残存部15b及び配線材層16の残存部16Bの積層からなり、W膜14の残存部14B及び導電材膜13の残存部13bを部分的に介して基板10の第2の被接続部に接続される。

【0038】T1N等の配線材膜15a、15bは、いわゆるバリアメタル膜として作用するもので、配線材膜15a、15bを設けると、配線の信頼性を向上させることができる。

【0039】

【発明の効果】以上のように、この発明によれば、所望の堆積膜厚で埋め尽せる小サイズaの接続孔と所望の配線材カバレッジ率を達成可能な大サイズbの接続孔とを形成し、サイズc ( $a < c < b$ ) の接続孔を形成しないことにより埋込み状態及び被覆状態を改善するようにしたので、いずれの接続孔についても高信頼な配線を歩留りよく形成可能となる効果が得られるものである。

【0040】その上、基板上で絶縁膜の段差部に関して最小の曲率半径を求め、該曲率半径以下になるように堆積膜厚を定めると、基板上全面でエッチング残りをなくせる効果が得られる。

【図面の簡単な説明】

8

【図1】 この発明の一実施例に係る配線形成法における接続孔形成工程を示す基板断面図である。

【図2】 図1の工程に続くW堆積工程を示す基板断面図である。

【図3】 図2の工程に続くエッチバック工程を示す基板断面図である。

【図4】 図3の工程に続く配線材被着工程を示す基板断面図である。

【図5】 図4の工程に続く配線パターニング工程を示す基板断面図である。

【図6】 小さい接続孔でのW堆積状況を説明するための基板断面図である。

【図7】 大きい接続孔での配線形成状況を説明するための基板断面図である。

【図8】 この発明の他の実施例に係るエッチバック工程を示す基板断面図である。

【図9】 図8の工程に続く配線形成工程を示す基板断面図である。

【図10】 従来の配線形成法における接続孔形成工程を説明するための基板断面図である。

【図11】 図10の工程に続くW堆積工程を示す基板断面図である。

【図12】 図11の工程に続くエッチバック工程を示す基板断面図である。

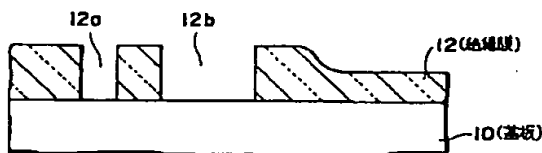
【図13】 図12の工程に続く配線材被着工程を示す基板断面図である。

【図14】 図13の工程に続く配線パターニング工程を示す基板断面図である。

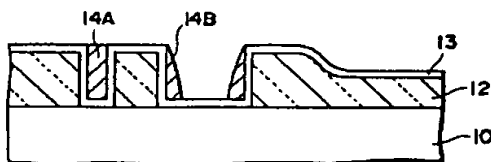
【符号の説明】

10：基板、12：絶縁膜、13：導電材層、14：W膜、16：配線材層、18A、18B：配線層。

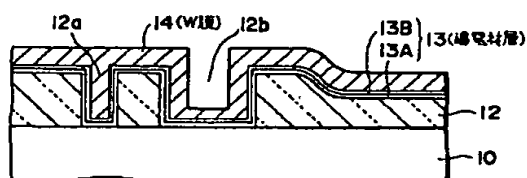
【図1】



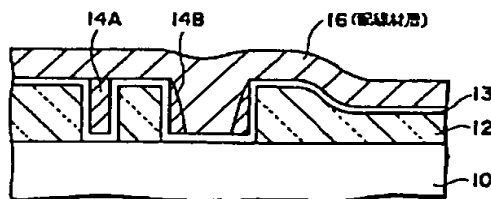
【図3】



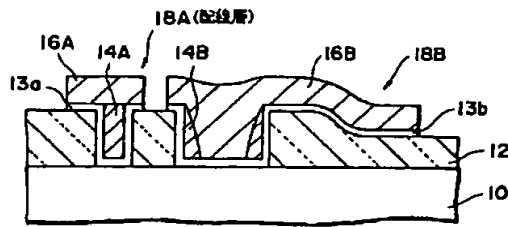
【図2】



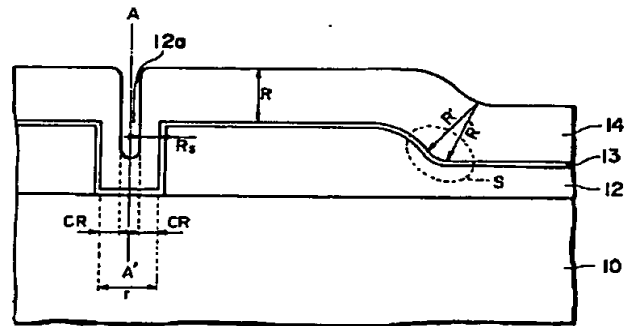
【図4】



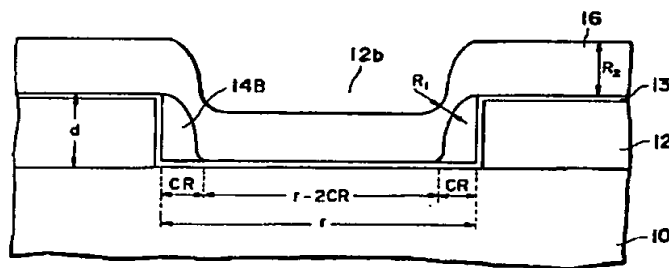
【図5】



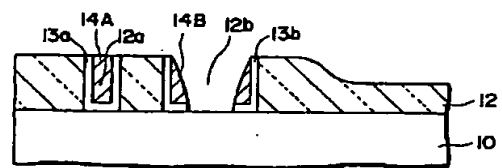
【図6】



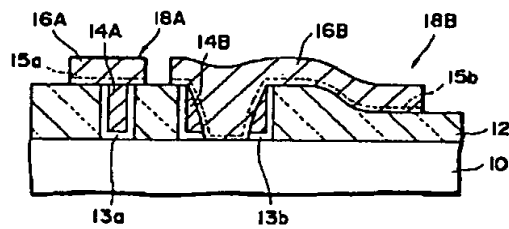
【図7】



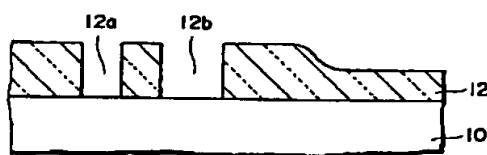
【図8】



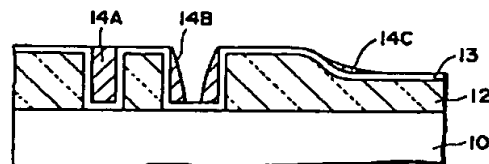
【図9】



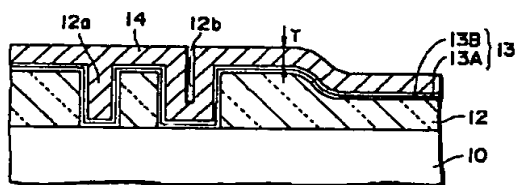
【図10】



【図12】



【図11】

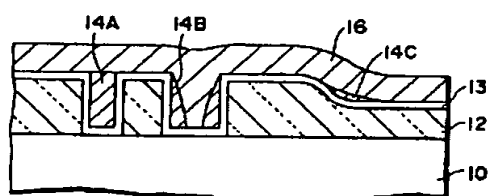




(7)

特開平7-245305

【図13】



【図14】

